

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-112525

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.<sup>8</sup>

H 0 4 L 12/28

H 0 4 Q 3/00

識別記号

F I

H 0 4 L 11/20

H 0 4 Q 3/00

G

審査請求 有 請求項の数 5 F D (全 10 頁)

(21) 出願番号

特願平9-281067

(22) 出願日

平成9年(1997) 9月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西崎 秀樹

東京都港区芝五丁目7番1号 日本電気株式会社内

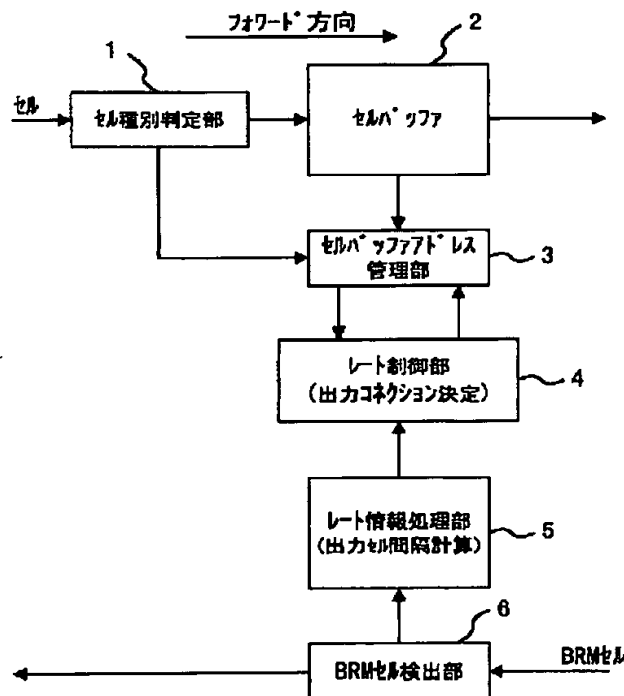
(74) 代理人 弁理士 鈴木 康夫 (外1名)

(54) 【発明の名称】 ABRシェーパのレート制御方式

(57) 【要約】

【課題】 コネクション毎に計算されたセル出力間隔を管理することによって、動的に変化するATMセル出力レート（セル出力間隔）を認識し、コネクション毎に理想送出時刻を計算し、ATMセル出力順を管理することによってコネクション毎のセル出力間隔から理想送出時刻を決定する。

【解決手段】 レート情報処理部5では、BRMセル内情報からセル出力間隔を算出し、レート制御部4に出力する。レート制御部4では、入力されたセルの情報とVCI毎のセル出力間隔からVCI毎の理想送出時刻を決定し、この理想送出時刻からセル送出時刻を決定し、管理する。理想送出時刻は、前回セルを送出した時刻にセル出力間隔を加えた時刻となる。ただし、理想送出時刻が複数のVCIにおいて重なってしまった場合は、登録順に読み出されるように管理している。



## 【特許請求の範囲】

【請求項 1】 網の状態により動的に A T M (Asynchronous Transfer Mode) セル送出レートが変化する A B R (Available Bit Rate) サービスにおけるシェーパにおいて、

A B R を使用しているコネクションを管理する手段と、コネクション毎に B R M (Backward Resource Management) セルを検出し、B R M セル内のセル送出レート情報よりセル出力間隔を算出し、管理する手段と、コネクション毎に前記セル出力間隔とセル到着時刻より理想送出時刻を計算し、A T M セル出力順を管理する手段と、コネクション毎に計算された理想送出時刻に従ってセルを出力する手段を備えた A B R シェーパのレート制御方式。

【請求項 2】 前記コネクション毎に理想送出時刻を計算し、A T M セル出力順を管理する手段は、理想送出時刻が他のコネクションと重なってしまった場合には、その登録順にセルを出力させるレート制御部を備えていることを特徴とする請求項 1 記載の A B R シェーパのレート制御方式。

【請求項 3】 前記 A B R を使用しているコネクションを管理する手段は、現在使用中の A B R コネクションのみを C A M (Content Addressable Memory) により管理する V C I 情報管理バッファを備えていることを特徴とする請求項 1 記載の A B R シェーパのレート制御方式。

【請求項 4】 前記 V C I 情報管理バッファは、現在使用中の A B R コネクションの V C I 毎に、入力されたセルを格納しているセルバッファの読出し領域を示すリードポインタ、次に入力されるセルを格納する前記セルバッファの書き込み領域を示すライトポインタ、前記セルバッファに格納されているセル数、及び前記理想送出時刻情報を格納する領域を備えていることを特徴とする請求項 3 記載の A B R シェーパのレート制御方式。

【請求項 5】 前記 V C I 情報管理バッファは、さらに、前記理想送出時刻の V C I 間における読出し順が先頭であることを示す先頭セルフラグと、最後であることを示す最終セルフラグと、次に読み出すべき V C I の情報が格納されている前記 V C I 情報管理バッファの領域を示す読出し次アドレス情報を格納する領域を備えていることを特徴とする請求項 4 記載の A B R シェーパのレート制御方式。

## 【発明の詳細な説明】

## 【0 0 0 1】

【発明の属する技術分野】 本発明は、A B R (Available Bit Rate) 対応のシェーパ (Shaper) におけるレート制御方式に関し、特に複数コネクションを収容した場合の出力セル (コネクション) 決定方式に関する。

## 【0 0 0 2】

【従来の技術】 A B R は、伝送遅延を保証せず、廃棄に関する品質のみ保証しようとするサービスで、フィードバック制御をもとにした輻輳制御方式が採用されている。A B R サービスでは、C B R (Constant Bit Rate)、V B R (Variable Bit Rate) サービスと同様にシェーパが必要となる。シェーピング動作を考えた場合、A B R サービスでは、送出セルレートが時間的に変化するが、例えば、特開平 8 - 1 2 5 6 6 8 号公報に記載されているような C B R、V B R 用のトラヒックシェーピング装置では動的に変化する端末の送出セルレートの情報を感知することができないために、レート変化に対応したシェーピング動作ができないという問題点があった。

【0 0 0 3】 また、特開平 8 - 2 4 2 2 3 8 号公報には、R M (Resource Management) セルを受信し、その A T M セルで指示されたピークレベル値に従って、送信用 V C の送出タイミングを決定する際、次に送出される V C の送出時刻を C A M (Content Addressable Memory) 部に記憶しておき、カウンターのカウント値がその送出時刻と一致した場合、一致した送出時刻を記憶したアドレスに対応した V C を送出 V C として決定する方式が記載されている。しかしながら、この方式では、使用される可能性がある A B R コネクションが多数の場合、現在使用していないコネクションに関する領域も確保しなければならず、大容量のバッファが必要となってしまう。

## 【0 0 0 4】

【発明が解決しようとする課題】 このように、従来の C B R シェーパや V B R シェーパでは、A B R の動的に変化する A T M セル出力レートに対応できないため、C B R シェーパや V B R シェーパを A B R に使用できないという問題があり、また、前記特開平 8 - 2 4 2 2 3 8 号公報記載の制御方式では、A B R を使用する可能性のある全てのコネクションの情報を必要とするために、A B R を使用するコネクションが多数の場合には、現在使用しているかいないかに関わらず、そのコネクションの情報を持つ必要があり、大きなバッファが必要となるという問題があった。

【0 0 0 5】 本発明の目的は、A B R において動的に変化する A T M セル出力レートに対応したセル出力制御を行うシェーピング方式を提供することである。

【0 0 0 6】 本発明の他の目的は、A B R を使用する可能性のあるコネクションが多数の場合でも、コネクション毎の情報を管理するバッファ量を低減させることである。

## 【0 0 0 7】

【課題を解決するための手段】 本発明の A B R シェーパのレート制御方式は、入力されたセルデータをバッファ (セルバッファ) に蓄積し、S o u r c e において決定されたコネクション毎のセルレートから計算されたセル

出力間隔情報をもとに理想送出時刻を決定し、理想送出時刻が複数コネクション間において重なってしまった場合には、登録順に出力されるように制御することを特徴としている。より具体的には、コネクション毎に計算されたセル出力間隔を管理する手段と、コネクション毎に理想送出時刻を計算し、ATMセル出力順を管理する手段と、コネクション毎に計算された理想送出時刻に従ってセルを出力する手段を有する。

【0008】また、コネクション毎の管理テーブルを低減できることも特徴である。具体的には、現在使用中のVCIのみを登録する手段を有している。

【0009】本発明によれば、コネクション毎に計算されたセル出力間隔を管理する手段によって、動的に変化するATMセル出力レート（セル出力間隔）を認識することができ、コネクション毎に理想送出時刻を計算し、ATMセル出力順を管理する手段によってコネクション毎のセル出力間隔から理想送出時刻を決定することができ、理想送出時刻が複数コネクションで重なってしまった場合には、登録順に出力順番を管理することが可能となる。さらに、コネクション毎に計算された理想送出時刻に従ってセルを出力する手段によって、計算されたATMセル出力レートを守ることができる。

【0010】また、現在使用中のVCIのみ登録する手段があればよく、ABRを使用する可能性のある全てのコネクションの情報を持つ必要はなくなり、バッファ量の低減が可能となる。

【0011】

【発明の実施の形態】図1は、本発明の実施の形態を示すブロック図である。図1において、1は入力されてきたセルの有効、無効を判定するセル種別判定部で、有効と判定したデータはセルバッファ2へ出力し、判定結果はセルバッファアドレス管理部3へ出力する。2は、入力されてきた有効セルを蓄積するセルバッファで、セル種別判定部1から出力される有効セルを蓄積する。3はセルバッファ2の書込アドレスと読出アドレスを生成、管理するセルバッファアドレス管理部で、読出アドレスはレート制御部4からの情報をもとに生成する。

【0012】4はVCI毎のセル読出時刻を管理するレート制御部で、レート情報処理部5からの出力セル間隔をもとにセル読出時刻を決定する。5はBRM（Backward Resource Management）セル内情報から出力セル間隔を算出するレート情報処理部で、6はBRMセルを検出するBRMセル検出部である。

【0013】図2は、レート制御部4において管理されるバッファ（セルバッファ2含む）を示している。7はセルバッファ2の領域に対応して、次の同じVCIのセルが格納されている領域情報を格納する次アドレス管理バッファで、8はセルバッファ2に格納されているセルの情報をVCI単位で格納しているVCI情報管理バッファで、9はVCI毎のセル出力間隔を格納しているセ

ル出力間隔管理バッファである。

【0014】VCI情報管理バッファ8内には、VCI番号、セルバッファ2のRead pointer、次アドレス管理バッファ7のWrite pointer、格納されているセル数、理想送出時刻、同理想送出時刻のVCI間における読出順が先頭であることを示す先頭セルフラグ、同様に最後であることを示す最終セルフラグ、次に読み出すべきVCIの情報が格納されているVCI情報管理バッファ8の領域を示す読出次アドレス情報が格納されている。

【0015】例えば、VC0については、セルバッファ2におけるRead pointerは領域0、Write pointerは領域9であり、セルバッファ2に格納されているセル数は3であることを示している。また、VC0、VC8、VC3の理想送出時刻はいずれも3で重なっているが、その送出順序は、先ず、先頭セルフラグが付されているVC0セル、次に、読出し次アドレスに格納されている「領域2」が参照されてVC8セル、次に、読出し次アドレスに格納されている「領域3」が参照されてVC3セルの順となる。そして、領域3の最終セルフラグにより、セルバッファ2の中にはそのほかに理想送出時刻が重なるセルがないことが確認される。

【0016】また、VCI情報管理バッファ8では、セルバッファ2の空き領域情報も格納しており、セルバッファ2と次アドレス管理バッファ7の空き領域管理用の情報を格納している。

【0017】次に本発明の実施の形態の動作について、図1を参照して説明する。図1において、入力されたセルはセル種別判定部1で判定され、セルバッファ2に書き込まれる。その時のセルバッファ2への書込アドレスはセルバッファアドレス管理部3で生成される。セルバッファアドレス管理部3は、セルバッファ2に書き込んだセルの情報（書込アドレス、VCI）をレート制御部4に出力する。BRMセル検出部6はBRMセルを検出したら、BRMセルをレート情報処理部5に渡し、レート情報処理部5では、BRMセル内情報からセル出力間隔を算出し、レート制御部4に出力する。

【0018】レート制御部4では、入力されたセルの情報とVCI毎のセル出力間隔からVCI毎の理想送出時刻を算出してセル送出時刻を決定し、管理する。理想送出時刻は、前回セルを送出した時刻にセル出力間隔を加えた時刻となる。ただし、理想送出時刻が複数のVCIにおいて重なってしまった場合は、登録順に読み出されるように管理している。セル送出時刻になれば、セルバッファアドレス管理部3に読出指示を出し、セルバッファ2からセルが出力される。

【0019】図3と図4は、レート制御部4に図2に示すようなバッファを使用した場合の処理フロー図である。以下、この処理について説明する。図3は読み出す

## 5

VC Iを決定するためのセルバッファ2への書込側の処理のフローであり、ステップ10では、到着セルのチェックを行う。有効セルであれば次処理へ行きそれ以外の無効セルの場合は処理を終了する。ステップ11では、VC I情報管理バッファ8の空き領域管理情報からセルバッファ2の空き領域を得て受信データの書込を行う。

【0020】ステップ12では受信した有効セルのVC I情報の登録状態の検索を行う（VC I情報管理バッファ8はCAM (Content Addressable Memory) で構成することを前提とするのでCAM searchでVC Iを検索する）。ステップ13では、VC I情報管理バッファ8に対して、受信した有効セルの新規VC Iの登録を行う。ステップ14では新規に受信したVC Iの出力登録をする。受信した時刻を理想送出時刻とする。ステップ15では、前記理想送出時刻が他のVC Iの理想送出時刻と重なっていないかを、理想送出時刻+最終セルフラグをサーチキーとして検索する。

【0021】ステップ16では、検索結果があるかないかの判定をする。検索結果がない場合、ステップ17で、理想送出時刻の登録とともに先頭セルフラグと最終セルフラグを同時に立てる（図2の例では、VC2とVC5がこれに相当している）。検索結果がある場合、ステップ18で、検索されたデータの最終セルフラグを取り下げ、新規に登録するデータに最終セルフラグを立てる。ステップ19では、検索されたデータの読み出し次アドレスに新規に登録した領域番号を書き込む。

【0022】ステップ20では、VC Iの登録があれば次アドレス管理バッファ7の情報とVC I情報管理バッファ8のセルバッファ2のWrite pointerの更新を行う。新規登録時にはセルバッファ2のRead pointerにセルバッファ2へ書き込んだ領域番号、Write pointerに未登録を書き込む。さらに、受信データをセルバッファ2へ書き込んだ領域に対応する次アドレス管理バッファ7の領域の情報をVC I情報管理バッファ8の空き領域管理情報のセルバッファ2のWrite pointer領域に書き込む。ステップ21では、VC I情報管理バッファ8の該当データのセル数を更新する。登録がもともとあった場合には書き込まれている数に1を加算し、なかった場合には新たに1を書き込む。

【0023】図4は読み出すVC Iを決定するためのセルバッファ2からの読出処理フローであり、ステップ22では、読出VC Iの検索を行う。この検索は、前回処理において出力したVC Iデータの理想送出時刻と読出次アドレス情報から決定する。読出次アドレス情報が設定されていたらそれが示す領域のVC Iが読出VC Iとなる。また、読出次アドレスが未設定だった場合は、理想送出時刻に1加算した結果+先頭セルフラグを検索キーとして検索を行い、検索結果がない場合には理想送出時刻に1を加えながら見つかるまで検索を続ける。検索

## 6

対象の理想送出時刻=現セル時刻となっても検索結果がないときは「検索結果なし」として次処理に行く。ステップ23では、読出VC Iの検索結果を判定する。ステップ24は、検索結果がない場合の処理で、空きセル出力指示を出して終了する。ステップ25は、検索結果がある場合の処理で、読出VC Iのデータの先頭セルフラグ、最終セルフラグを取り下げる。

【0024】ステップ26では、読出VC Iのセルバッファ2中のセル数をチェックし、読み出すデータがあるかどうか確認する。なければ該当VC Iの登録を削除し、ステップ22処理からやり直す。あれば次の処理を行う。ステップ27では、読出VC Iのセルバッファ2のRead pointerを参照し、セルの読出を指示する。ステップ28では、セルを読み出したセルバッファ2の領域に対応している次アドレス管理バッファ7の領域の情報を読み出したVC IのRead pointerとして書き込む。また、VC I情報管理バッファ8の空き領域管理情報の次アドレス管理バッファのWrite pointerが示す領域にセルを読み出したセルバッファ2の領域番号を書き込む。さらに、VC I情報管理バッファ8の空き領域管理情報の次アドレス管理バッファ7のWrite pointerにもセルを読み出したセルバッファ2の領域番号を書き込む。

【0025】ステップ29では、読み出したVC Iのセル数から1を減算して書き込む。ステップ30では、読み出したVC Iの次の理想送出時刻を決定する。セル出力間隔管理バッファから読み出した該当VC Iのセル出力間隔を読み出し、現セル時刻と加算して理想送出時刻とする。その結果、再び理想送出時刻が他のVC Iの理想送出時刻と重なる場合が生じるので、ステップ31～35において、図3における書込側フローのステップ15～19と同様の処理を行う。

【0026】図5は、本発明のレート制御部4において管理されるバッファの第2の実施の形態を示すものである。図5では、図2に示しているVC I情報管理バッファ8における先頭セルフラグと最終セルフラグと読出次アドレスを削除している。この場合の読み出すVC Iを決定するためのセルバッファ2への書込側処理フローを図6に示す。図6におけるステップ14までの処理は図3における処理と同様である。ステップ37は、決定した理想送出時刻をVC I情報管理バッファ36に登録する処理である。この形態での処理は、図3における処理とは違い、先頭セルフラグや最終セルフラグを使用しないために、理想送出時刻が決定すればそのまま登録する処理となる。

【0027】図7は、読み出すVC Iを決定するための、セルバッファ2からの読出処理フローを示している。ステップ26～30の処理は図4における処理と同様である。ステップ38では、読出VC Iの検索を行う。ここでの処理は、図4に示した処理とは違い、理想

送出時刻のみを検索キーとして検索を行う。ステップ39では、検索結果がなかった場合に検索に使用した理想送出時刻が現セル時刻と同じ値かどうかを確認する。ステップ40では、ステップ39での処理の結果、検索対象の理想送出時刻が現セル時刻と同じ値ではなかった場合に検索対象の理想送出時刻を更新する処理を行う。この形態での処理は、登録された理想送出時刻の古い順にVCIを検索して出力VCIを決定するために、検索対象の理想送出時刻が現セル時刻と等しくなるまで出力VCIを検索し続けることになる。

【0028】

【発明の効果】本発明においては、動的に変化するATMセル出力レートから算出したセル出力間隔をShaper処理において参照する処理を行っているので、動的に変化するATMセル出力レート（セル出力間隔）に対応可能となる。

【0029】また、使用中のコネクションのみ登録するような制御を行っているので、コネクション毎の情報を管理するバッファ容量を低減することができる。

【0030】

【図面の簡単な説明】

【図1】本発明のABRシェーパのレート制御方式の実施の形態を示すブロック図である。

【図2】本発明の第1の実施の形態においてレート制御部4で管理されるバッファを示す図である。

【図3】本発明のABRシェーパのレート制御方式の第1の実施の形態（セルバッファへの書き込み処理）を示

すフローチャートである。

【図4】本発明のABRシェーパのレート制御方式の第1の実施の形態（読み出しVCIを決定するためのセルバッファからの読み出し処理）を示すフローチャートである。

【図5】本発明の第2の実施の形態においてレート制御部4で管理されるバッファを示す図である。

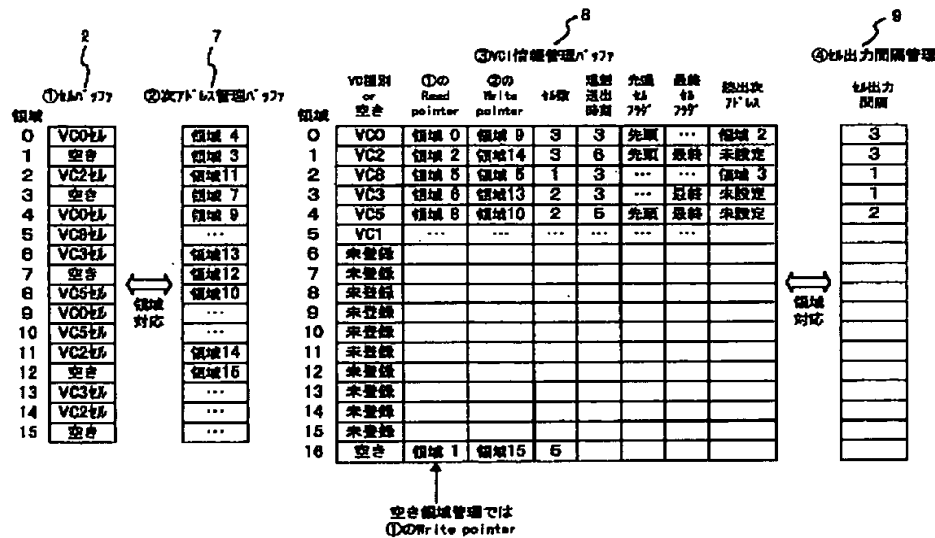
【図6】本発明のABRシェーパのレート制御方式の第2の実施の形態（セルバッファへの書き込み処理）を示すフローチャートである。

【図7】本発明のABRシェーパのレート制御方式の第2の実施の形態（読み出しVCIを決定するためのセルバッファからの読み出し処理）を示すフローチャートである。

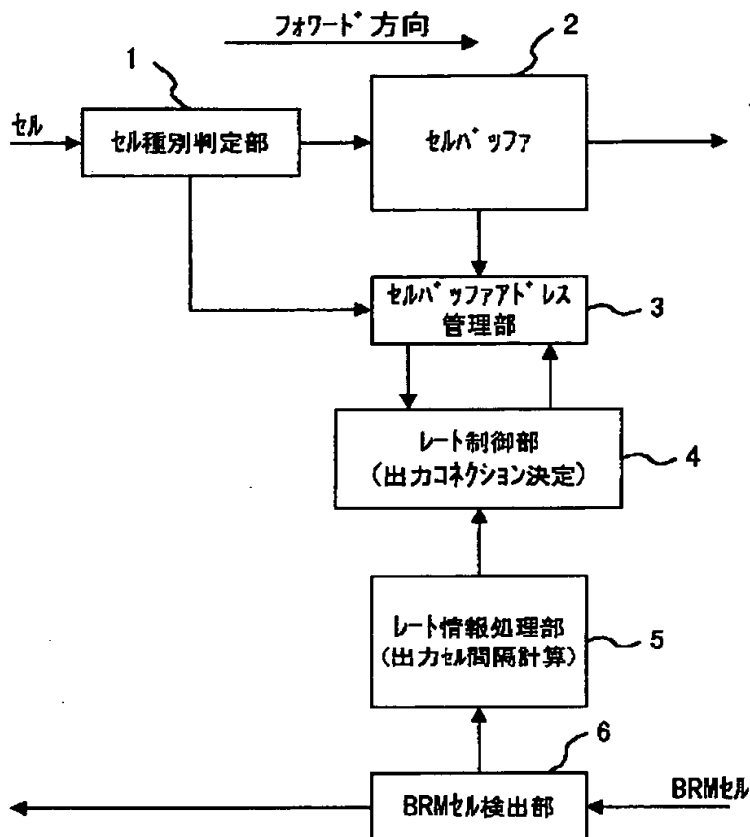
【符号の説明】

- 1 セル種別判定部
- 2 セルバッファ
- 3 セルバッファアドレス管理部
- 4 レート制御部
- 5 レート情報処理部
- 6 BRMセル検出部
- 7 次アドレス管理バッファ
- 8 VCI情報管理バッファ
- 9 セル出力間隔管理バッファ
- 36 第2の実施の形態におけるVCI情報管理バッファ

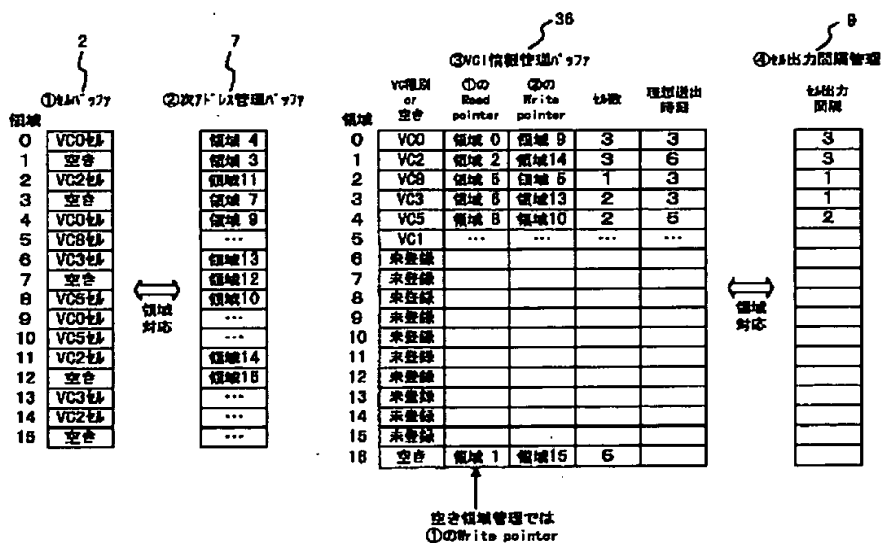
【図2】



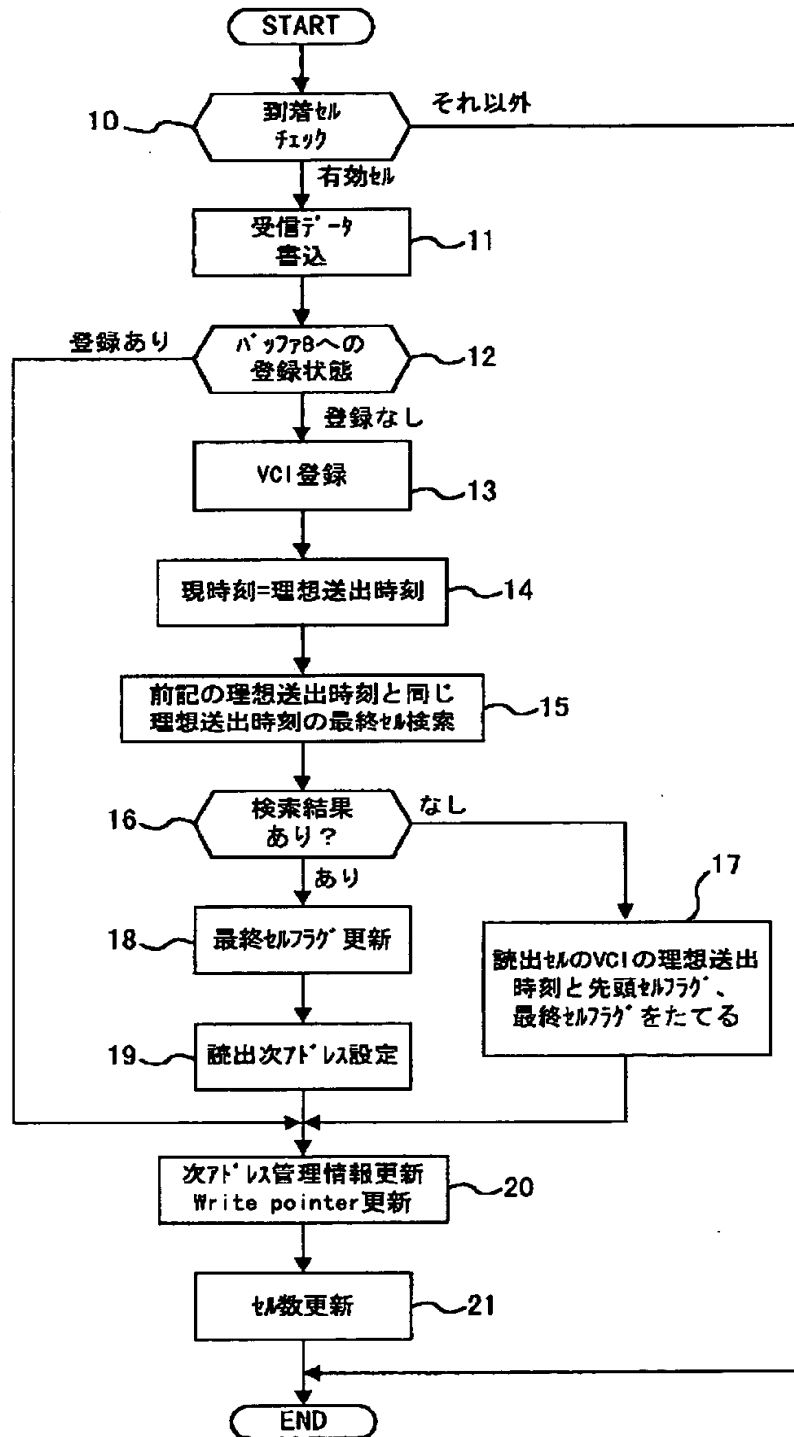
【図1】



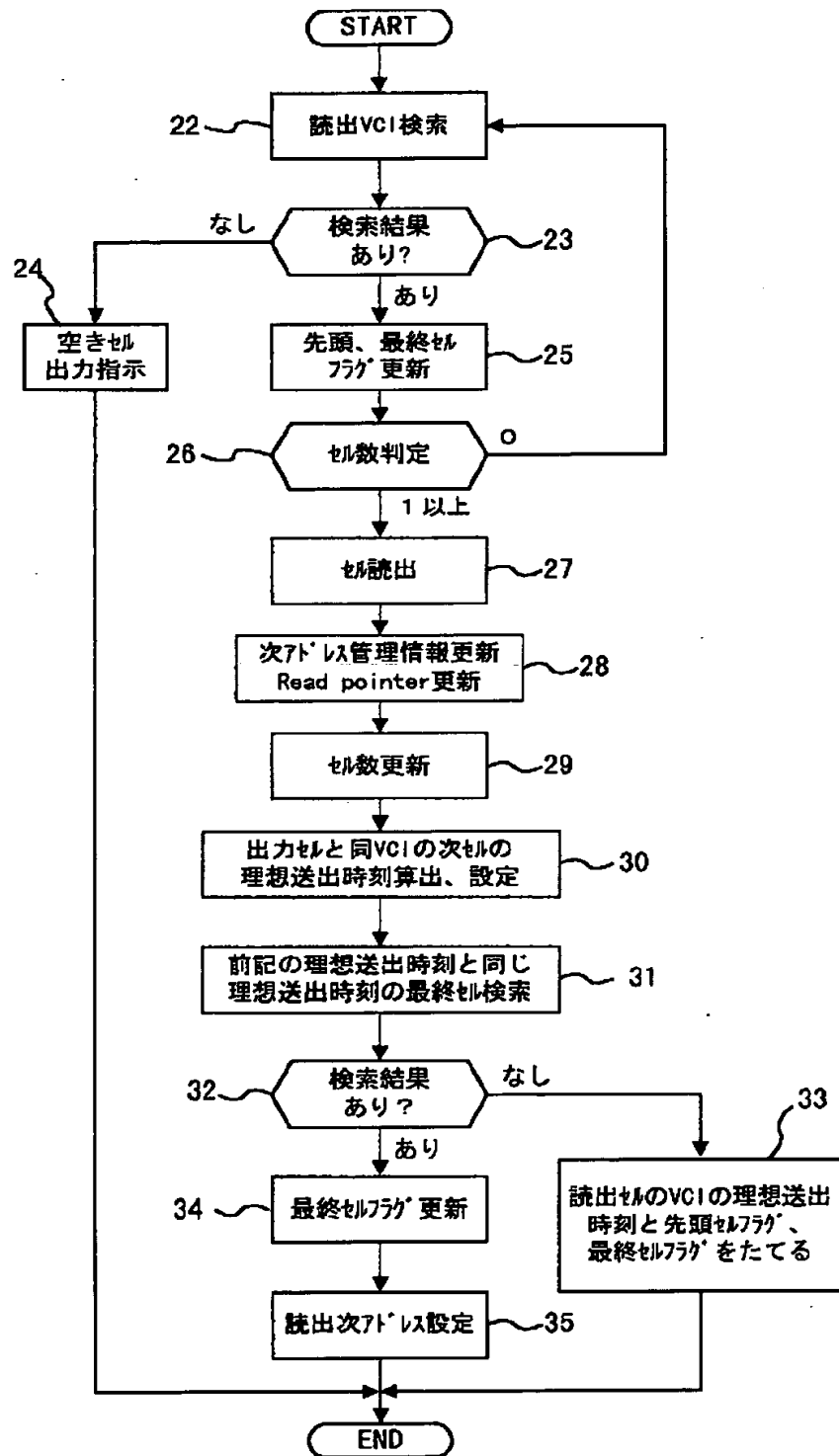
【図5】



【図 3】

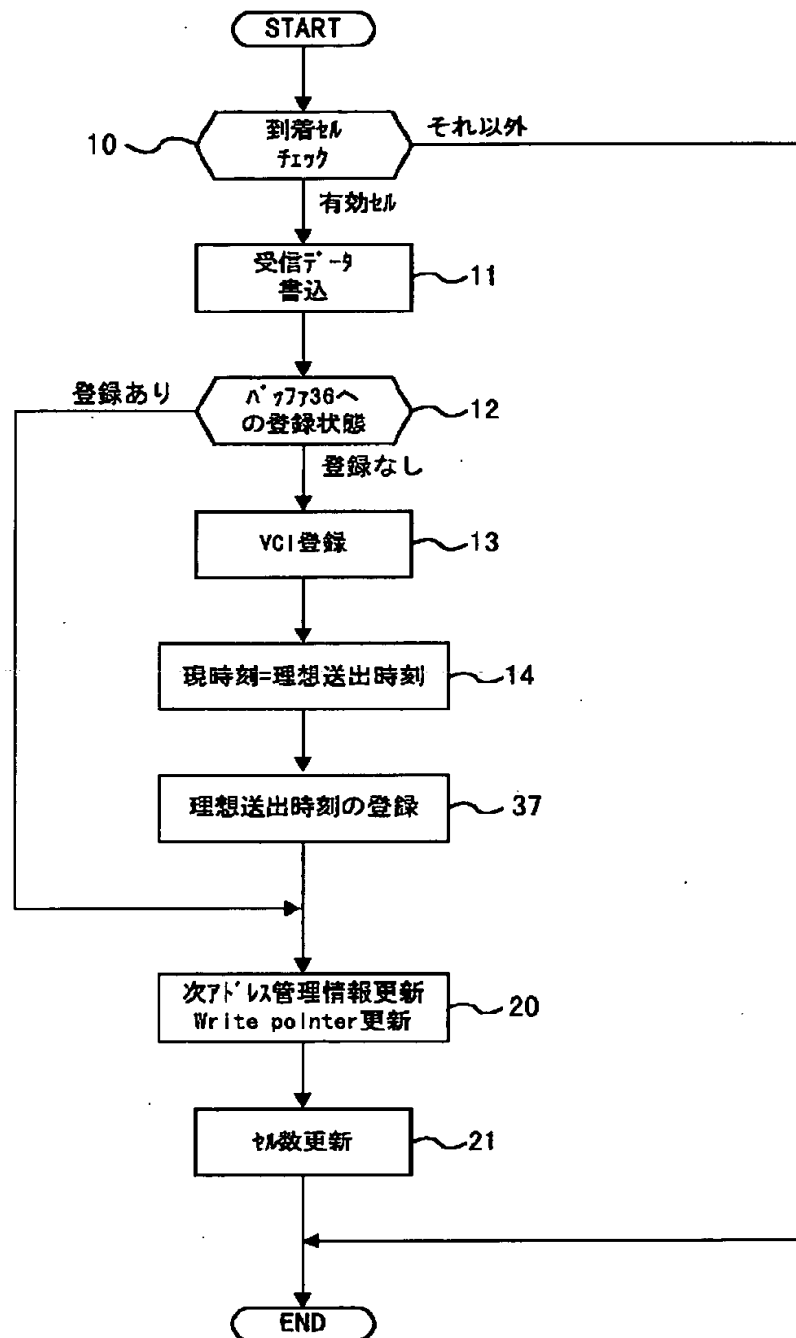


【図 4】





【図 6】



【図 7】

